

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 01 月 17 日
Application Date

申請案號：092100981
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 3 月 14 日
Issue Date

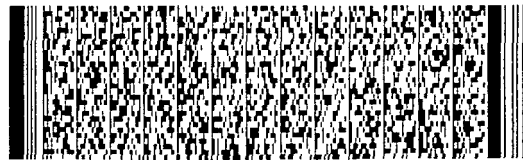
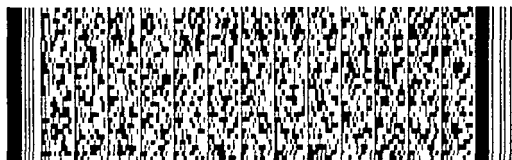
發文字號：09220255420
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元及其製造方法
	英 文	Vertical flash memory cell with tip-shape floating gate and method therefor
二、 發明人 (共3人)	姓 名 (中文)	1. 蕭清南 2. 莊英政 3. 林圻輝
	姓 名 (英文)	1. Ching-Nan Hsiao 2. Ying-Cheng Chuang 3. Chi-Hui Lin
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 高雄縣燕巢鄉橫山村橫山路52號 2. 桃園縣八德市大安里和平路540巷5號 3. 台北市內湖區成功路五段46號12樓
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



四、中文發明摘要 (發明名稱：具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元及其製造方法)

本發明提供一種具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元的方法，所製造出之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元包括一半導體基底，半導體基底具有一溝槽；一源極導電層，位於溝槽底部；一絕緣層，形成於溝槽底部之源極導電層上方；一閘極介電層，形成於溝槽之側壁；一導電間隙壁，覆蓋於溝槽側壁上之閘極介電層上，用以作為浮動閘極；一閘極層間介電層，覆蓋於導電間隙壁上；及一控制閘極導電層，填滿於溝槽。

伍、(一)、本案代表圖為：第2圖。

(二)、本案代表圖之元件代表符號簡單說明：

S~源極區；

D~汲極區；

200~半導體基底；

201~墊氧化層；

陸、英文發明摘要 (發明名稱：Vertical flash memory cell with tip-shape floating gate and method therefor)

A stacked gate vertical flash memory and method of manufacture therefore. The stacked gate vertical flash memory includes a semiconductor substrate, a source conductor layer, an isolation layer, a gate dielectric layer, a conductor spacer, an IMD layer and a control gate conductor layer. There is a trench in the semiconductor substrate, and the source conductor layer is

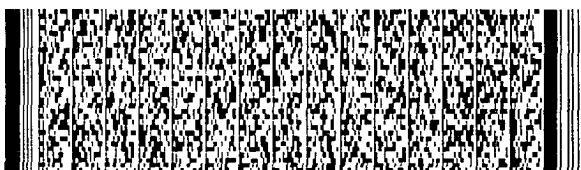


四、中文發明摘要 (發明名稱：具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元及其製造方法)

202~ 墊氮化層；
203、203a~ 氧化矽層；
204、204a、204b~ 導電層；
205~ 摻雜多晶矽層；
205a~ 摻雜多晶矽層；
206~ 絕緣層；
207~ 閘極介電層；
208、210~ 導電層；
250a、208a~ 間隙壁；
209~ 閘極層間介電層；
250~ 溝槽；
300~ 圖案化罩幕層。

陸、英文發明摘要 (發明名稱：Vertical flash memory cell with tip-shape floating gate and method therefor)

deposited on the bottom of the trench. The isolation layer is formed on the source conductor layer. The gate dielectric layer is formed on the sidewall of the trench, and the conductor spacer covered on the gate dielectric layer as a floating gate. The IMD layer is covered on the conductor spacer. The control gate conductor layer is filled of a remained space of the trench.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

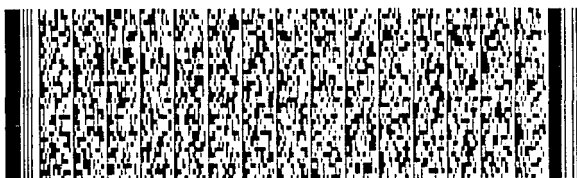
發明所屬之技術領域

本發明係有關於一種半導體製程的方法，特別係有關於一種可同時形成具有尖角之浮動閘極的方法及利用此方法所形成之浮動閘極，浮動閘極之邊緣呈尖角的構造，可增加放電電場，進而有效提高浮動閘極在進行資料抹除時之效率。

先前技術

在半導體記憶單元元件中，當電源關閉後仍保存資料者，稱之為"非揮發性記憶單元(nonvolatile memory, NVM)"。以目前的半導體技術，一個非揮發性記憶單元能夠透過晶圓廠的製造過程將資料永久地寫入記憶單元中，如罩幕式唯讀記憶單元(Mask-ROM)或可程式唯讀記憶單元(PROM)，但這兩種元件的資料都沒有辦法被抹除，無法重複地被讀寫。因此，在實際的運用上就受到很大的限制。

近十年來，在非揮發性記憶單元的領域中，許多技術即在研發如何利用電子的方式達到重複讀寫及抹除(erase)的功能，而高容量、低耗電量等也都是產業界所努力研發的目標。現在技術中可抹除且可程式唯讀記憶單元(EPROM)能夠用電子的方式做到寫的功能，但必須利用紫外光(UV)才能將記憶單元中的資料抹除，而且往往需要花費20至30分鐘。此外，可電子式移除且可程式唯讀記憶單元(EEPROM)也可以用電子的方式做到讀寫，而且具備抹除的功能，但由於晶圓的單位面積太大，且價格較貴，因



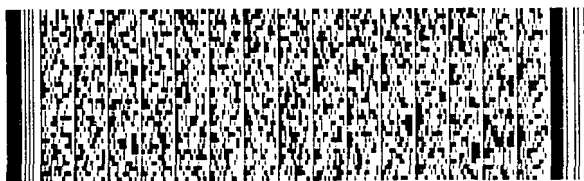
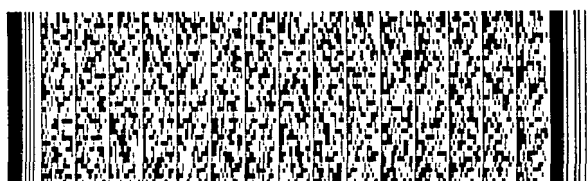
五、發明說明 (2)

此無法有高容量的產品。而在快閃記憶單元(Flash Memory)中，是以一個單一記憶單元(cell)作為記憶單元的單位位元，它不但可以用電子式達到讀寫的功能，甚至可以在同一時間內抹除一大片記憶單元的空間(sector or page)，所以快閃記憶單元不僅具備有讀取速度較快的優點，還有低耗電量的絕對優勢，因此，快閃記憶單元是目前半導體產業中非常重要的元件之一。

以下，請參考第1a-1c圖，第1a-1c圖係顯示習知之堆疊閘極快閃記憶裝置之結構示意圖。其中，第1a圖為習知之堆疊閘極快閃記憶裝置之結構上視圖，而第1b及1c圖則分別為此堆疊閘極快閃記憶裝置之結構沿線XX'及YY'之剖面圖。

首先，提供一半導體基底10，半導體基底10上形成有一汲極摻雜區101、一源極摻雜區102、一閘極介電層11、一作為浮動閘極之用的導電層12、一作為控制閘極之用的導電層13、一用以連接源極摻雜區102之接觸插塞(contact)14、一用以連接汲極摻雜區101之金屬層15、一隔離區16、以及一隔離區中之襯層17(liner layer)。其中，半導體基底10例如是矽基底；閘極介電層11例如是閘極氧化層；導電層12及13例如是多晶矽層或磊晶矽層；接觸插塞14例如是銅金屬層；金屬層15例如是銅金屬層；隔離區16例如是淺溝槽隔離區，材質例如是氧化層；襯層17例如是襯氧化(liner oxide)層。

當浮動閘極之邊緣部分呈鳥嘴狀或者是呈尖角狀時，



五、發明說明 (3)

尖端的部分容易有電場集中的現象，容易產生放電效應。當浮動閘極之尖角狀邊緣的角度愈小、形狀愈尖，其尖端之放電效應就會增加；同時，隨著浮動閘極邊緣的尖角結構越多，電場集中的現象就會越多，放電效應亦會隨著增多，所以快閃記憶單元之抹除效率可因此而提高。

發明內容

有鑑於此，本發明之目的在於提供一種浮動閘極，邊緣可具有尖角狀結構之浮動閘極。

本發明之另一目的在於提供一種溝槽式的垂直堆疊型閘極的形成方法，可形成邊緣具有尖角狀結構的浮動閘極，其記憶胞結構深入於半導體基底內，可進一步的縮小快閃記憶單元記憶胞的尺寸以增加記憶單元的密集度之外，尖角狀結構更可有效提高快閃記憶單元之浮動閘極在進行程式化步驟及抹除步驟時之效率，並可改善元件的可靠度。

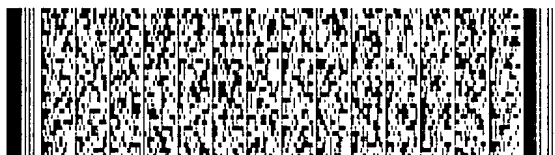
根據上述目的，本發明提供一種具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，包括：一半導體基底，半導體基底具有一溝槽；一源極導電層，位於溝槽底部；一絕緣層，形成於溝槽底部之源極導電層上方；一閘極介電層，形成於溝槽之側壁；一導電間隙壁，覆蓋於溝槽側壁上之閘極介電層上，用以作為浮動閘極；一閘極層間介電層，覆蓋於導電間隙壁上；及一控制閘極導電層，填滿於溝槽。



五、發明說明 (4)

根據上述目的，本發明再提供一種具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，包括：一半導體基底，半導體基底具有一溝槽，溝槽底部具有一隔離層；一源極導電層，位於溝槽底部，與半導體基底之間以隔離層分隔；一絕緣層，形成於溝槽底部之源極導電層上方，用以分離源極導電層及形成於絕緣層上方之構造；一閘極介電層，形成於溝槽之側壁；一導電間隙壁，覆蓋於溝槽側壁上之閘極介電層上，用以作為浮動閘極；一源極區，形成於絕緣層外側之半導體基底，與源極導電層及導電間隙壁電性連接；一汲極區，形成於導電間隙壁之頂部位置外側之半導體基底；一閘極層間介電層，覆蓋於導電間隙壁上；及一控制閘極導電層，填滿於溝槽。

根據上述目的，本發明更提供一種具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元的製造方法，包括下列步驟：提供一半導體基底，半導體基底形成有一溝槽；於溝槽底部順應性形成一隔離層；於溝槽底部形成一源極導電層，源極導電層與半導體基底之間由隔離層所隔離；於溝槽底部側壁及源極導電層上方順應性形成一摻雜絕緣層；加熱摻雜絕緣層，以使摻質驅入溝槽底部之側壁之半導體基底以形成一源極區，同時，摻質驅入源極導電層以形成一共同源極區，其中，源極區與共同源極區連接；移除摻雜絕緣層；於源極導電層上形成一絕緣層，絕緣層用以分隔源極導電層與形成於絕緣層上方之構造；依序於溝槽之側壁形成一閘極介電層及一導電間隙壁，導電間隙壁覆蓋



五、發明說明 (5)

於閘極介電層上，且導電間隙壁頂部具有一尖角狀構造，其中導電間隙壁用以作為浮動閘極；對導電間隙壁頂部進行摻質植入步驟，以在導電間隙壁頂部外側之半導體基底形成一汲極區；於導電間隙壁上形成一閘極層間介電層，閘極層間介電層覆蓋於導電間隙壁上；及於溝槽填滿一控制閘極導電層。

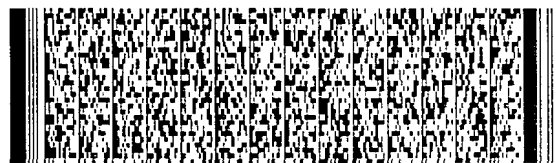
為使本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式：

請參考第2a-2j圖，第2a-2i圖係顯示本發明之形成具有尖角狀浮動閘極之示意圖；第2j圖係顯示利用本發明所形成之具有尖角狀浮動閘極之溝槽型堆疊閘極式快閃記憶單元。

請參考第2a圖，首先，提供一半導體基底200，半導體基底200上依序形成有一墊氧化(pad oxide)層201、一墊氮化(pad nitride)層202及一具有開口301之圖案化單幕層300。其中，開口301的位置，即為後續形成溝槽型堆疊式閘極的位置。

接著，以具有開口301之圖案化單幕層300為單幕依序蝕刻墊氮化層202、墊氧化層201及半導體基底200，以在半導體基底200上形成一溝槽250，溝槽250深入半導體基



五、發明說明 (6)

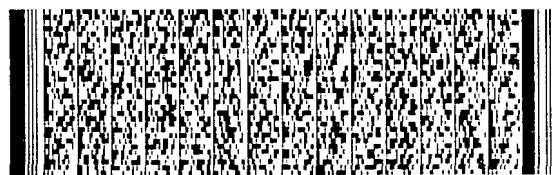
底200中，如第2b圖所示。

請參考第2c圖，對形成有溝槽250之半導體基底200進行化學氣相沉積(chemical vapor deposition, CVD)步驟，以在溝槽250的側壁及底部上形成一氧化層203。因為墊氮化層202及墊氧化層201不會氧化，因此氧化層203僅會形成在溝槽250所露出之半導體基底200的表面上。然後，在半導體基底200上形成一導電層204，導電層204會填滿溝槽250。其中，導電層204例如是未摻雜多晶矽層或磊晶矽層。

請參考第2d圖，對導電層204進行回蝕刻(etch back)步驟，以在溝槽250的底部留下具有厚度之導電層204a；然後，將露出表面之氧化層203去除，僅留下被導電層204a覆蓋之氧化層203a。其中，導電層204a後續將會作為源極之用；而氧化層203a可將導電層204a與半導體基底200有效隔絕開來。

於溝槽250底部填入一光阻層(未顯示)，並於半導體基底200表面及溝槽250內順應性形成一薄絕緣層(未顯示)，接著，對薄絕緣層進行非等向性蝕刻步驟以在溝槽250之側壁形成一間隙壁250a；然後，將溝槽250底部之光阻層去除。其中，間隙壁250a例如是氮化矽層。

請參考第2e圖，於溝槽250中進行化學氣相沉積(CVD)步驟以在溝槽250的側壁及底部上形成一厚度約100至300 Å之摻雜多晶矽層(未顯示)，其中摻雜多晶矽層所摻入之摻質例如是砷(As)離子，絕緣層例如是氧化層。然後，在



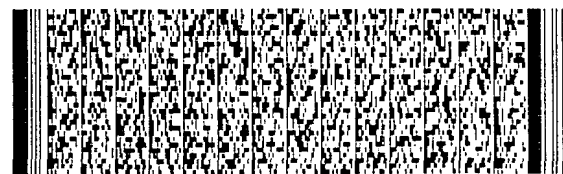
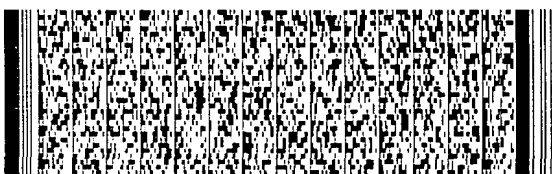
五、發明說明 (7)

溝槽250底部之氧化層上形成一光阻層(未顯示)，並以此光阻層為罩幕蝕刻露出表面之絕緣層，直到留下溝槽250底部與側壁上呈U型之摻雜多晶矽層205，並將光阻層去除。

然後，對溝槽250之摻有砷(As)離子之U型摻雜多晶矽層205進行加熱作用，使摻雜多晶矽層205中之砷(As)離子驅入(drive in)溝槽250之側壁內及導電層204a中，以形成源極S及導電層204b，然後將露出表面之摻雜多晶矽層205去除，如第2f圖所示。其中，摻有砷離子之導電層204b為後續在溝槽250中形成之二快閃記憶單元之共同源極(common source)204b。而多晶矽層205在利用濕蝕刻步驟去除時，會留下共源極204b上之多晶矽層以作為共源極間的連結之摻雜多晶矽層205a，摻雜多晶矽層205a例如是砷離子氧化層。

請參考第2g圖，利用化學氣相沉積步驟於溝槽250之側壁及底部導電層204b的表面上順應性形成一厚度約150至300 Å之絕緣層(未顯示)，並在底部形成一光阻層(未顯示)作為罩幕層來對絕緣層進行蝕刻，以在溝槽250底部之導電層204b上形成一絕緣層206，然後，將光阻層移除。其中，絕緣層206例如是氧化層，絕緣層206在後續製程中可有效隔離開共同源極204b及後續形成於溝槽250中之浮動閘極。

請參考第2h圖，接著，依序於形成有溝槽250之半導體基底200上順應性形成一閘極介電層207及導電層208；



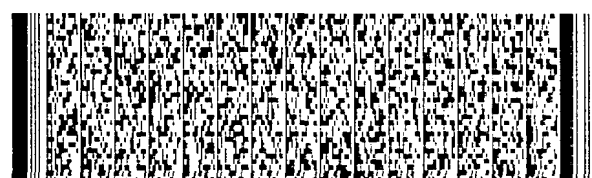
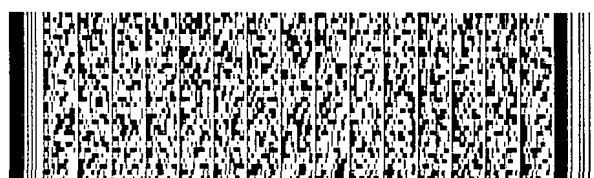
五、發明說明 (8)

其中，閘極介電層207例如是閘極氧化層，利用熱氧化法所形成。因為墊氮化層202及墊氧化層201不會氧化，因此閘極氧化層僅會形成在溝槽250側壁所露出之半導體基底200的表面上；導電層208例如是已摻雜多晶矽層或已摻雜磊晶矽層，用以在後續製程中作為浮動閘極。

請參考第2i圖，然後，對導電層208進行非等向性蝕刻，以在溝槽250之側壁形成一間隙壁208a，間隙壁208a在後續製程即作為浮動閘極208a，並且頂部具有尖角狀構造；其中，非等向性蝕刻例如是電漿乾蝕刻或離子反應性蝕刻。而浮動閘極208a頂部之尖角狀構造在後續操作時所引起之電場集中現象，可增加記憶單元在進程式化(programming)動作或抹除(erasing)動作時之速度。

接下來，以與垂直線傾斜30至60度之角度，對溝槽250之頂端進行砷(As)離子植入動作，以在浮動閘極208a之頂部尖角狀構造附近之半導體基底200形成砷(As)離子植入區，此砷(As)離子植入區即為汲極D，如第2j圖所示。後續在浮動閘極208a的表面上進行沉積步驟以形成閘極層間介電層209，並且利用導電層210將溝槽250填滿以作為控制閘極；其中，閘極層間介電層209例如是氧化層；導電層210例如是多晶矽層或磊晶矽層。如此一來，即形成具有尖角狀構造之浮動閘極之溝槽型堆疊閘極式記憶單元。

請參考第3圖，第3圖係顯示具有本發明之具有尖角狀浮動閘極之溝槽型堆疊閘極式快閃記憶單元結構之上視



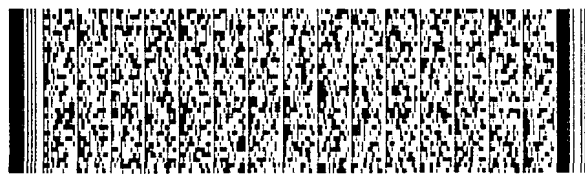
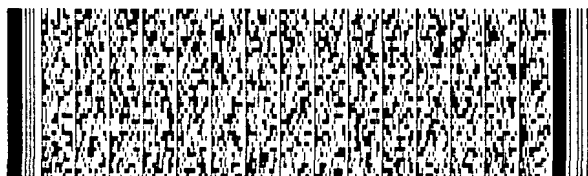
五、發明說明 (9)

圖。

後續在第2j圖顯示之具有尖角狀構造之浮動閘極208a之溝槽型堆疊閘極式記憶單元上先後利用光罩定義出主動區、形成淺溝槽隔離區、利用光罩定義出控制閘極與字元線(word line, WL)、及形成位元線(bit line, BL)後，本發明所提供之具有尖角狀構造之浮動閘極208a之溝槽型堆疊閘極式記憶單元即可進行操作。其中，第2j圖即為第3圖中AA切線之切面圖。

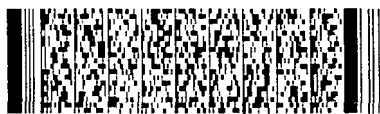
利用本發明所提供之形成具有尖角狀構造之浮動閘極的方法，可有效降低快閃記憶單元進行程式化動作或抹除動作之操作電壓至少1/3；換句話說，如果本發明之具有尖角狀構造之浮動閘極之溝槽型堆疊閘極式快閃記憶單元在與傳統之堆疊閘極式快閃記憶單元同樣的操作電壓下，可增加其程式化動作或抹除動作之速度。本發明當中多數之製程皆屬於自我對準(self aligned)製程，可大幅地減少製程所需光罩數目進而減低了製程的複雜性。而製程中所利用光罩結構簡單，大多屬於長條狀之結構，對於降低光罩構成成本方面，亦有顯著之功效。並且，由於本發明所形成快閃記憶單元是溝槽型堆疊閘極式記憶單元的緣故，更可減少記憶單元的面積，有效增加記憶單元構造的密集度，進而達到降低成本的目的。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當



五、發明說明 (10)

視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1a-1c圖係顯示習知之堆疊閘極快閃記憶裝置之結構示意圖。

第2a-2i圖係顯示本發明之形成具有尖角狀浮動閘極之示意圖。

第2j圖係顯示利用本發明所形成之具有尖角狀浮動閘極之溝槽型堆疊閘極式快閃記憶單元。

第3圖係顯示具有本發明之具有尖角狀浮動閘極之溝槽型堆疊閘極式快閃記憶單元結構之上視圖。

符號說明：

S~源極區；

D~汲極區；

10~半導體基底；

101~汲極摻雜區；

102~源極摻雜區；

11~閘極介電層；

12~導電層；

13~導電層；

14~接觸插塞；

15~金屬層；

16~隔離區；

17~襯層；

200~半導體基底；

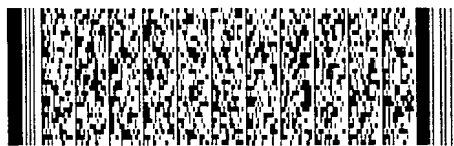
201~墊氧化層；

202~墊氮化層；



圖式簡單說明

- 203、203a~ 氧化矽層；
- 204、204a、204b~ 導電層；
- 205~ 摻雜多晶矽層；
- 205a~ 摻雜多晶矽層；
- 206~ 絕緣層；
- 207~ 閘極介電層；
- 208、210~ 導電層；
- 250a、208a~ 間隙壁；
- 209~ 閘極層間介電層；
- 250~ 溝槽；
- 300~ 圖案化罩幕層；
- 301~ 開口。



六、申請專利範圍

1. 一種具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，包括：

- 一半導體基底，該半導體基底具有一溝槽；
- 一源極導電層，位於該溝槽底部；
- 一絕緣層，形成於該溝槽底部之該源極導電層上方；
- 一閘極介電層，形成於該溝槽之側壁；
- 一導電間隙壁，覆蓋於該溝槽側壁上之該閘極介電層上，用以作為浮動閘極；
- 一閘極層間介電層，覆蓋於該導電間隙壁上；及
- 一控制閘極導電層，填滿於該溝槽。

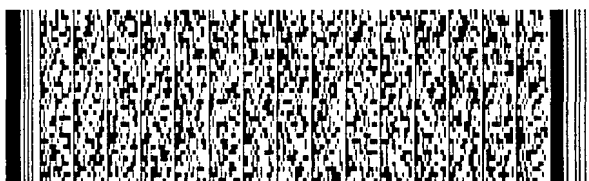
2. 如申請專利範圍第1項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元。

3. 如申請專利範圍第1項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該源極導電層為多晶矽層或磊晶矽層。

4. 如申請專利範圍第3項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該源極導電層摻有砷離子。

5. 如申請專利範圍第1項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該源極導電層為共用源極。

6. 如申請專利範圍第1項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該絕緣層為氧化矽層。



六、申請專利範圍

7. 如申請專利範圍第1項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該閘極介電層為閘極氧化層。

8. 如申請專利範圍第1項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該導電間隙壁頂部具有一尖角狀構造。

9. 如申請專利範圍第1項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該導電間隙壁為多晶矽層或磊晶矽層。

10. 如申請專利範圍第1項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該閘極層間介電層為閘極氧化層。

11. 如申請專利範圍第1項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該第二導電層為多晶矽層或磊晶矽層。

12. 如申請專利範圍第1項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中更包括一源極區，該源極區為砷離子植入區，形成於該絕緣層外側之該半導體基底。

13. 如申請專利範圍第1項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中更包括一汲極區，該汲極區為砷離子植入區，形成於該導電間隙壁頂部位置外側之該半導體基底。

14. 如申請專利範圍第1項所述之具有尖角狀浮動閘極



六、申請專利範圍

之溝槽型堆疊閘極式記憶單元，其中該溝槽底部更包括一隔離氧化層，用以隔離該源極導電層與該半導體基底。

15. 一種具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，包括：

- 一半導體基底，該半導體基底具有一溝槽，該溝槽底部具有一隔離層；

- 一源極導電層，位於該溝槽底部，與該半導體基底之間以該隔離層分隔；

- 一絕緣層，形成於該溝槽底部之該源極導電層上方，用以分離該源極導電層及形成於該絕緣層上方之構造；

- 一閘極介電層，形成於該溝槽之側壁；

- 一導電間隙壁，覆蓋於該溝槽側壁上之該閘極介電層上，用以作為浮動閘極；

- 一源極區，形成於該絕緣層外側之半導體基底，與該源極導電層及導電間隙壁電性連接；

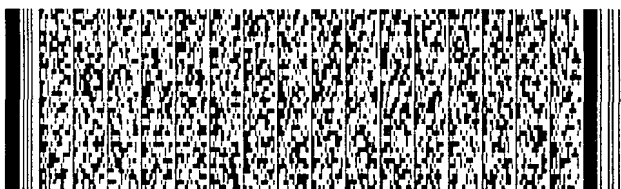
- 一汲極區，形成於該導電間隙壁之頂部位置外側之半導體基底；

- 一閘極層間介電層，覆蓋於該導電間隙壁上；及

- 一控制閘極導電層，填滿於該溝槽。

16. 如申請專利範圍第15項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該源極導電層為多晶矽層或磊晶矽層。

17. 如申請專利範圍第15項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該源極導電層摻有



六、申請專利範圍

砷離子。

18. 如申請專利範圍第15項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該絕緣層為氧化矽層。

19. 如申請專利範圍第15項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該閘極介電層為閘極氧化層。

20. 如申請專利範圍第15項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該導電間隙壁頂部具有一尖角狀構造。

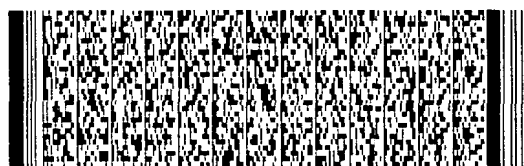
21. 如申請專利範圍第15項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該導電間隙壁為多晶矽層或磊晶矽層。

22. 如申請專利範圍第15項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該導電間隙壁為浮動閘極。

23. 如申請專利範圍第15項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該源極區為砷離子植入區。

24. 如申請專利範圍第15項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該汲極區為砷離子植入區。

25. 如申請專利範圍第15項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該閘極層間介電層



六、申請專利範圍

為閘極氧化層。

26. 如申請專利範圍第15項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該控制閘極導電層為多晶矽層或磊晶矽層。

27. 如申請專利範圍第15項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元，其中該隔離層為氧化層。

28. 一種具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元的製造方法，包括下列步驟：

提供一半導體基底，該半導體基底形成有一溝槽；

於該溝槽底部順應性形成一隔離層；

於該溝槽底部形成一源極導電層，該源極導電層與該半導體基底之間由該隔離層所隔離；

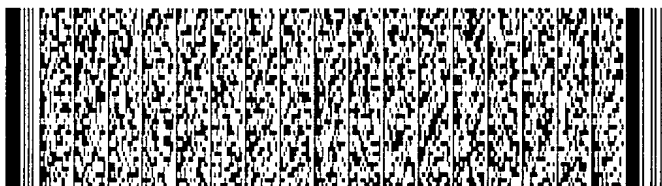
於該溝槽底部側壁及該源極導電層上方順應性形成一摻雜絕緣層；

加熱該摻雜絕緣層，以使摻質驅入該溝槽底部之側壁之該半導體基底以形成一源極區，同時，該摻質驅入該源極導電層以形成一共同源極區，其中，該源極區與該共同源極區連接；

移除該摻雜絕緣層；

於該源極導電層上形成一絕緣層，該絕緣層用以分隔該源極導電層與形成於該絕緣層上方之構造；

依序於該溝槽之側壁形成一閘極介電層及一導電間隙壁，該導電間隙壁覆蓋於該閘極介電層上，且該導電間隙



六、申請專利範圍

壁頂部具有一尖角狀構造，其中該導電間隙壁用以作為浮動閘極；

對該導電間隙壁頂部進行摻質植入步驟，以在該導電間隙壁頂部外側之該半導體基底形成一汲極區；

於該導電間隙壁上形成一閘極層間介電層，該閘極層間介電層覆蓋於該導電間隙壁上；及

於該溝槽填滿一控制閘極導電層。

29. 如申請專利範圍第28項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元的製造方法，其中該源極導電層為多晶矽層或磊晶矽層。

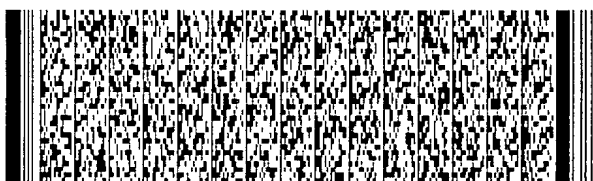
30. 如申請專利範圍第28項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元的製造方法，其中該絕緣層為氧化矽層。

31. 如申請專利範圍第28項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元的製造方法，其中該閘極介電層為閘極氧化層。

32. 如申請專利範圍第28項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元的製造方法，其中該導電間隙壁為多晶矽層或磊晶矽層。

33. 如申請專利範圍第28項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元的製造方法，其中該摻質為砷離子。

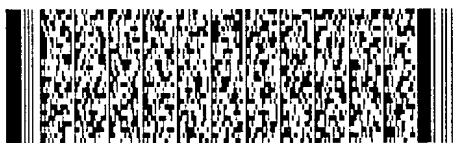
34. 如申請專利範圍第28項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元的製造方法，其中該閘極

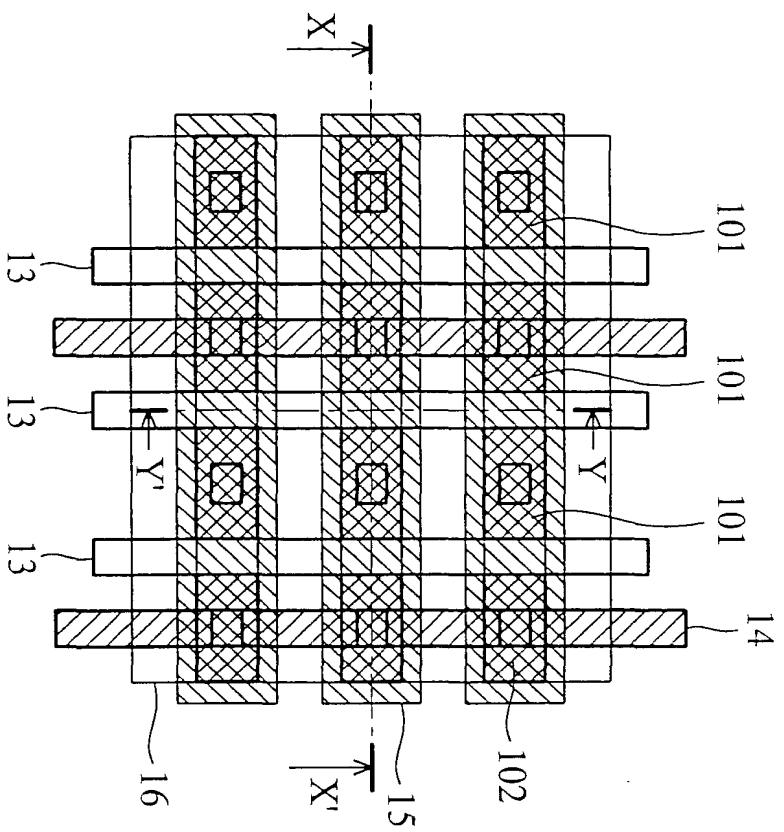


六、申請專利範圍

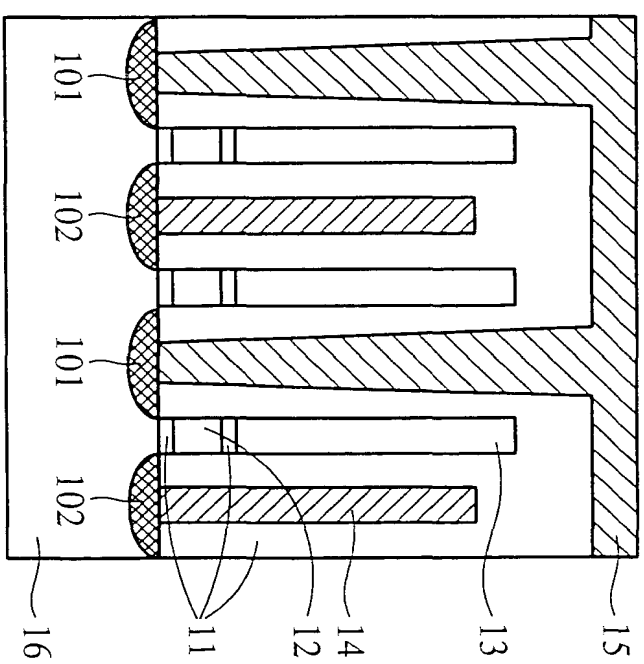
層間介電層為閘極氧化層。

35. 如申請專利範圍第28項所述之具有尖角狀浮動閘極之溝槽型堆疊閘極式記憶單元的製造方法，其中該控制閘極導電層為多晶矽層或磊晶矽層。

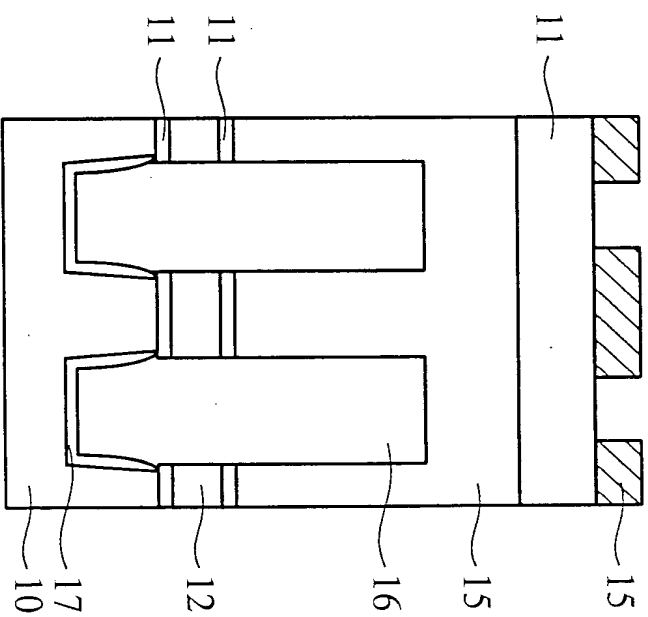




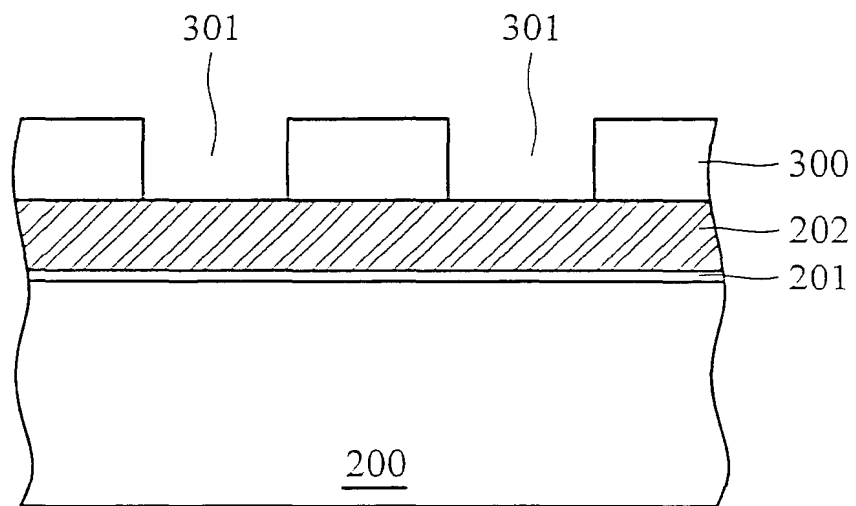
第1a圖



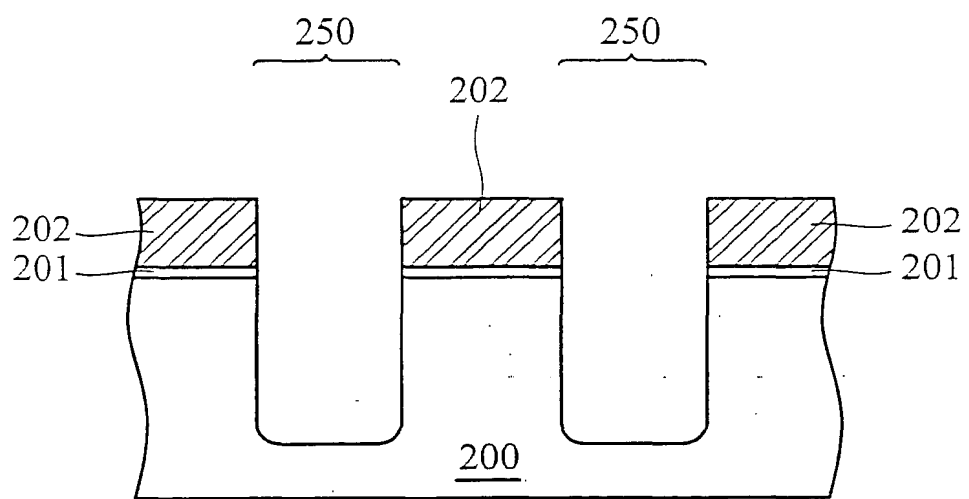
第1b圖



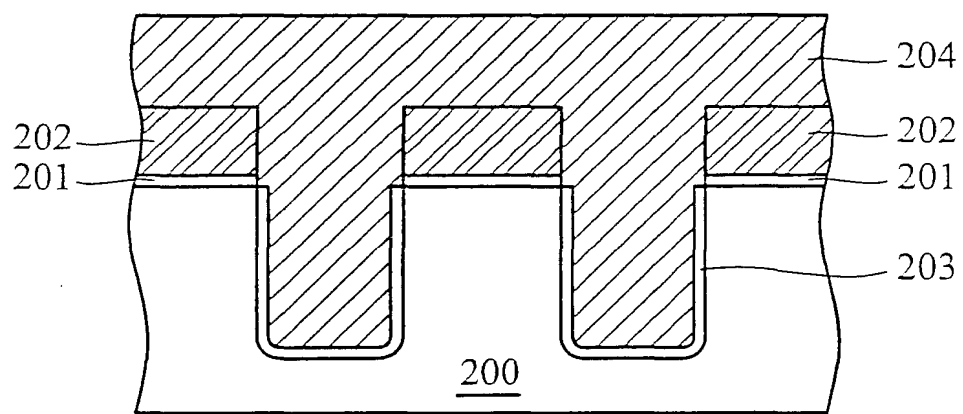
第1c圖



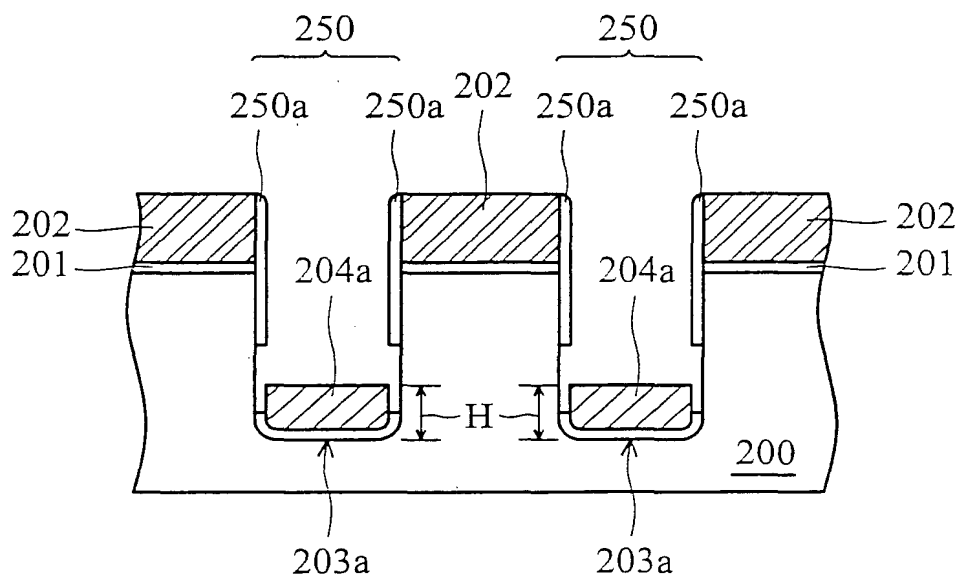
第 2a 圖



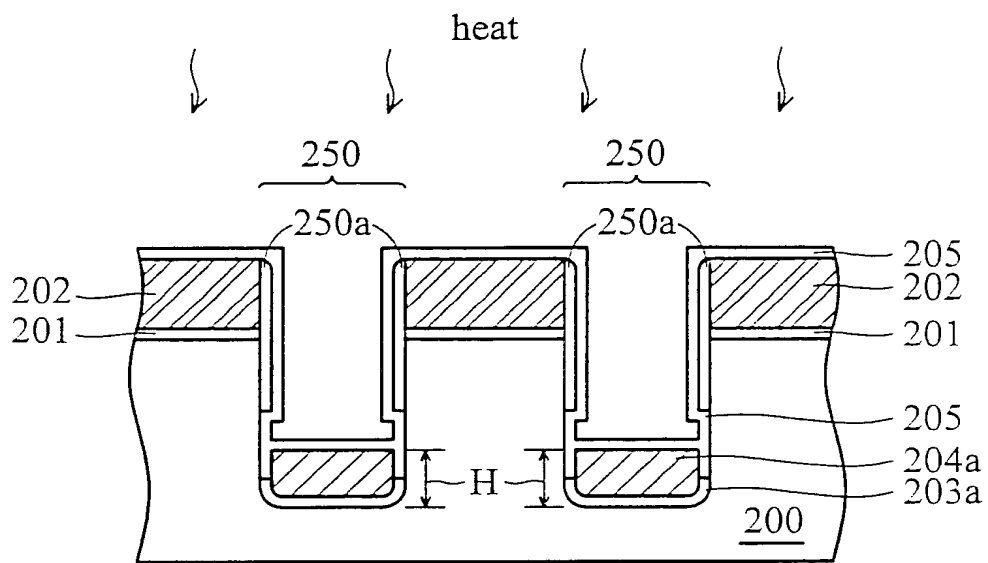
第 2b 圖



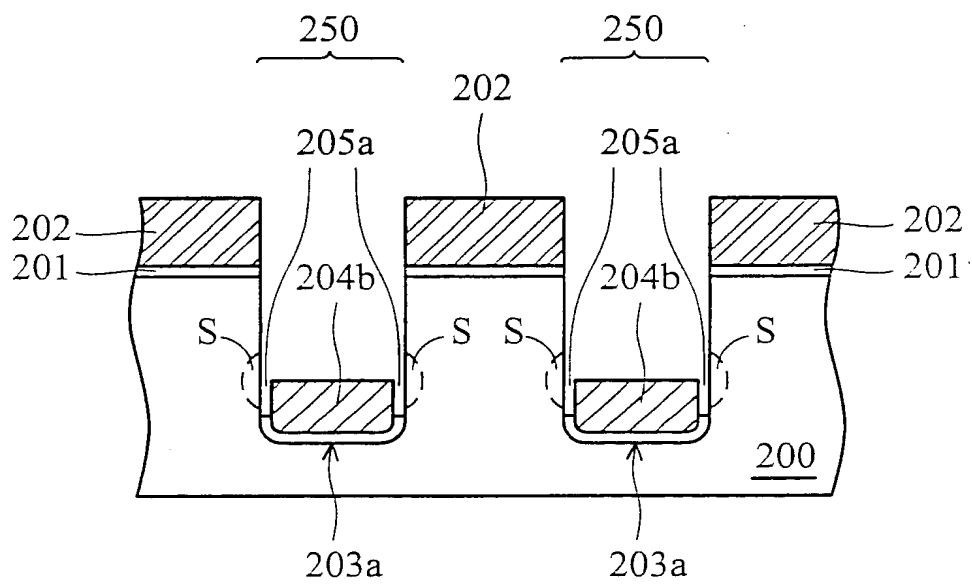
第 2c 圖



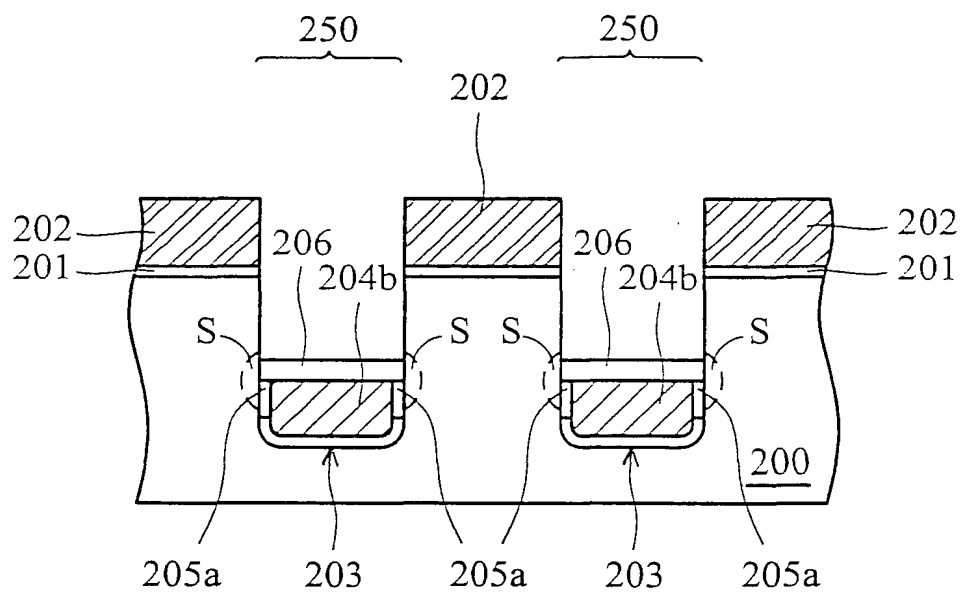
第 2d 圖



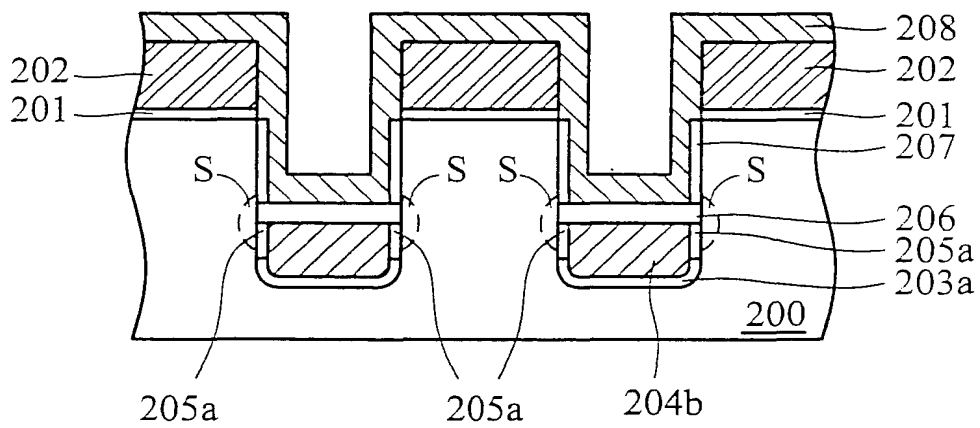
第 2e 圖



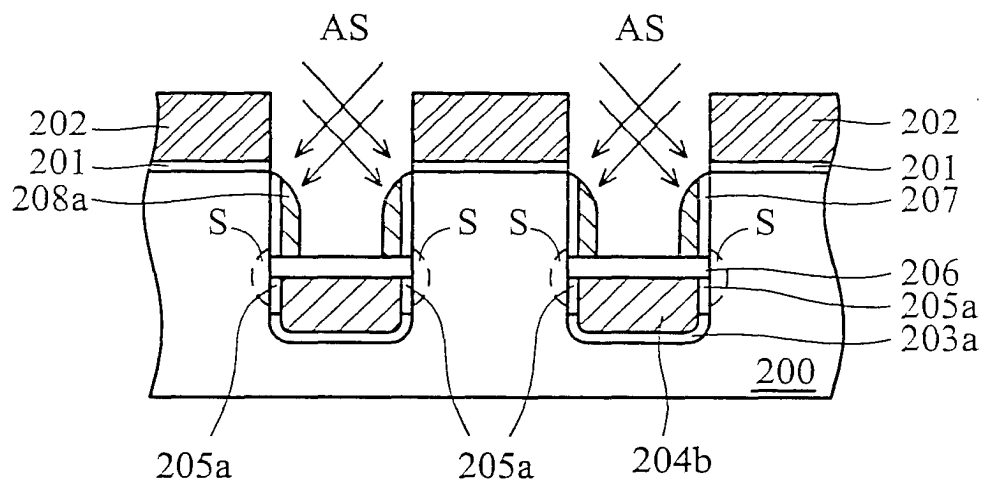
第 2f 圖



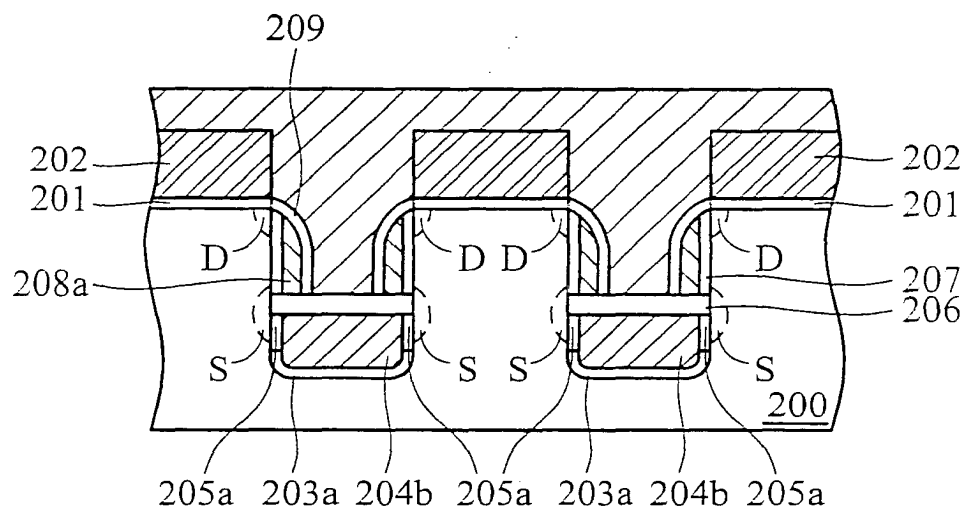
第2g圖



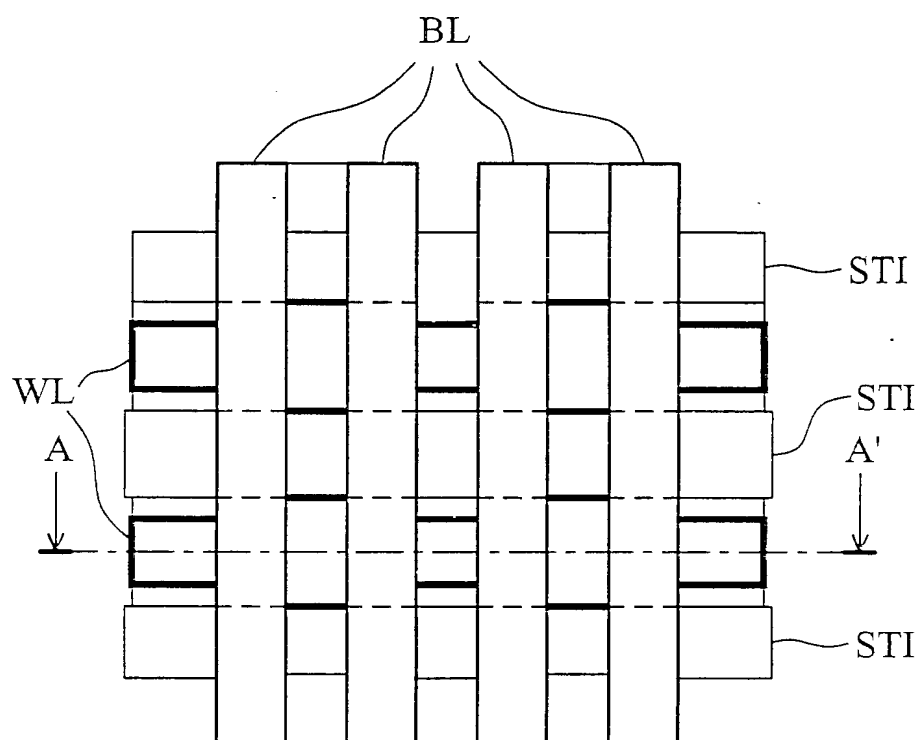
第2h圖



第2i圖

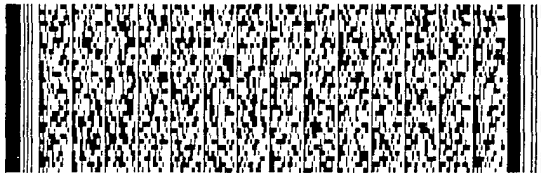


第2j圖

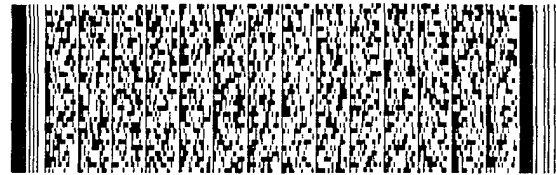


第 3 圖

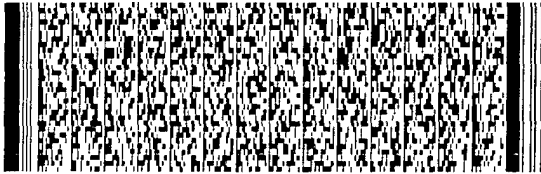
第 10/23 頁



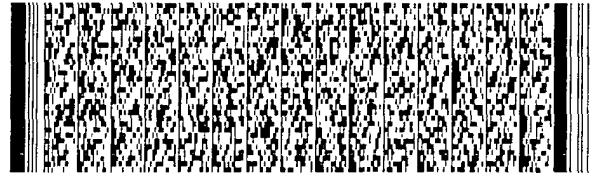
第 11/23 頁



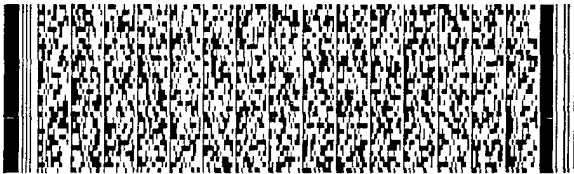
第 11/23 頁



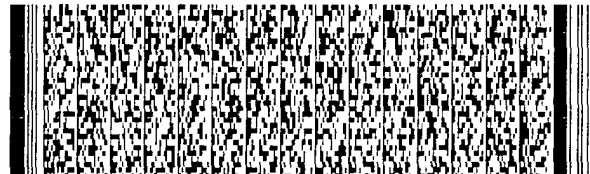
第 12/23 頁



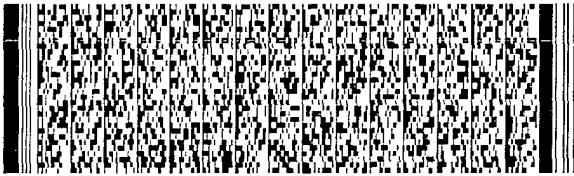
第 12/23 頁



第 13/23 頁



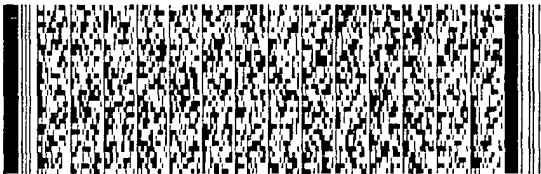
第 13/23 頁



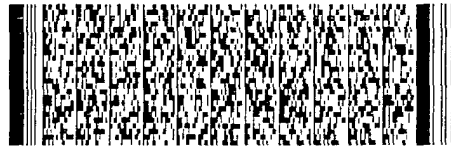
第 14/23 頁



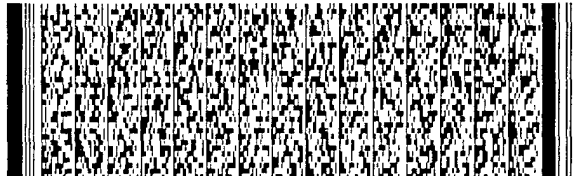
第 15/23 頁



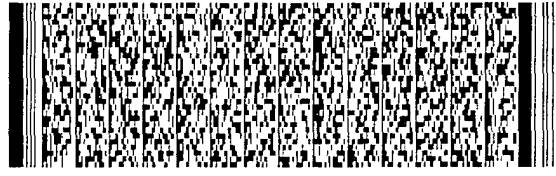
第 16/23 頁



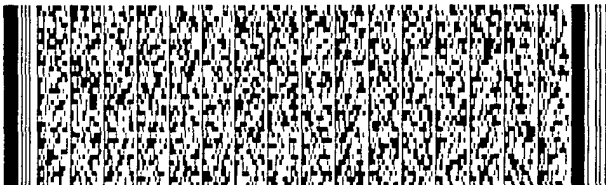
第 17/23 頁



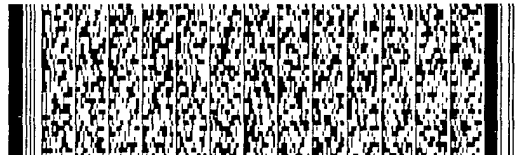
第 18/23 頁



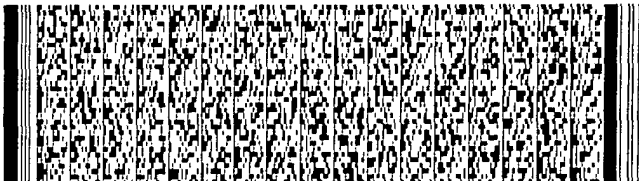
第 19/23 頁



第 20/23 頁



第 21/23 頁



第 22/23 頁

